

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022150

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28

(21)Application number : 10-190357

(71)Applicant : RICOH CO LTD

(22)Date of filing : 06.07.1998

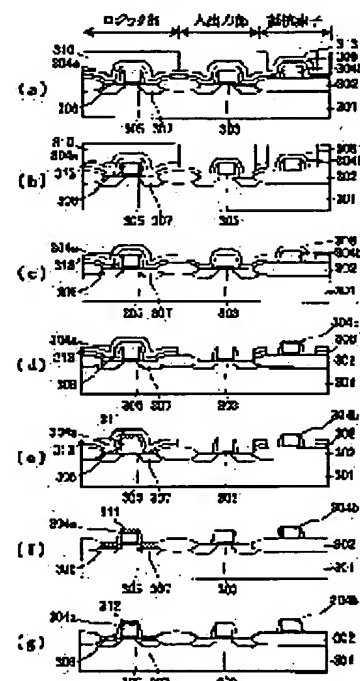
(72)Inventor : NANJO TAKESHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability and yield by providing consistency of salicide technology with respect to a process of an analog device, while surely restraining an input/output part from turning into silicide state.

SOLUTION: A titanium film 30 is formed over an entire semiconductor substrate 301, and a titanium nitride film 313 is formed thereon. A resist 310 is formed on all surfaces other than a resist part 304 and an input/output region (step a). The titanium nitride 313 at an opening part is removed with a mask of the resist 310 (step b). After the resist is removed, titanium film 308 at the opening part is removed with a mask of the titanium nitride film 313 (step d). A gate electrode 104a at a logic part and the semiconductor substrate 301, where the titanium film 308 is left, are changed into a silicide state by heat treatment to form a titanium silicide layer 311 (step e). The titanium film 308 and the titanium nitride film 313, which have not reacted, are removed (step f).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22150

(P2000-22150A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 P	4 M 1 0 4
21/336		21/28	3 0 1 T	5 F 0 4 0
21/28	3 0 1	29/78	3 0 1 G	

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平10-190357

(22) 出願日 平成10年7月6日 (1998.7.6)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 南條 健

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100085464

弁理士 野口 繁雄

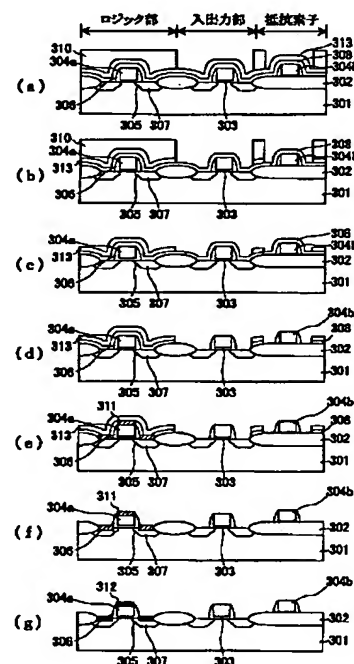
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 アナログデバイスのプロセスに対してシリサイド技術の整合性を確保し、かつ入出力部のシリサイド化を完全に抑制し、デバイスの信頼性及び歩留まりを向上させる。

【解決手段】 半導体基板301全面にチタン膜308を形成し、その上に窒化チタン膜313を形成し、さらにその上に、抵抗部304b及び入出力用領域を除いてレジスト310を形成する(a)。レジスト310をマスクとして開口部の窒化チタン膜313を除去する(b)。レジスト310を除去した後、窒化チタン膜313をマスクとして開口部のチタン膜308を除去する(d)。チタン膜308が残存しているロジック部のゲート電極104a及び半導体基板301を熱処理によりシリサイド化し、チタンシリサイド層311を形成する(e)。未反応なチタン膜308及び窒化チタン膜313を除去する(f)。



【特許請求の範囲】

【請求項1】 以下の工程(A)から(H)を含んでシリサイド化を行い、ゲート電極上とソース電極及びドレイン電極上を高融点金属のシリサイド膜により自己整合的に低抵抗化したシリサイド構造を有するMOS型トランジスタを具備する半導体装置の製造方法。

(A) 半導体基板全面に高融点金属膜を形成する工程、
(B) 前記高融点金属膜上に高融点金属窒化膜を形成する工程、(C) シリサイド化しない領域を除き、前記高融点金属窒化膜上にレジスト膜を形成する工程、(D) 前記レジスト膜をマスクとしてシリサイド化しない領域の前記高融点金属窒化膜を除去する工程、(E) 前記レジスト膜を除去した後、前記高融点金属窒化膜をマスクとしてシリサイド化しない領域の高融点金属膜を除去するエッチング工程、(F) 前記高融点金属膜が残存している箇所の半導体部材を熱処理によりシリサイド化する工程、(G) 未反応な高融点金属膜及び前記高融点金属窒化膜を除去する工程、(H) シリサイド化された高融点金属膜の層抵抗を熱処理により低減させる工程。

【請求項2】 前記高融点金属膜としてチタン膜を用い、前記高融点金属窒化膜として窒化チタン膜を用いる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記窒化チタン膜の膜厚を30～70nmとする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記レジスト膜をマスクとしてシリサイド化しない領域の前記高融点金属窒化膜を除去する工程を、フッ素、炭素及び酸素を含むガス系を用いるプラズマ処理により行う請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記レジスト膜を除去する工程を、フッ素を含まず、酸素を含むガス系を用いるプラズマ処理により行う請求項1から4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記高融点金属窒化膜をマスクとしてシリサイド化しない領域の前記高融点金属膜を除去する工程を、アンモニア及び過酸化水素を含む薬液によるウェット処理により行う請求項1から5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記高融点金属窒化膜の組成において、前記高融点金属に対する窒素の体積含有率が0.4～0.6である請求項2から6のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、微細化が進む半導体装置の製造方法に関するものであり、特に、ゲート電極及びソース・ドレイン電極で低抵抗化を目的としてシリサイド化した多結晶又は単結晶シリコンと、抵抗素子などシリサイド化しない多結晶又は単結晶シリコンとをともに備えた半導体装置の製造方法に関するものであ

る。そのような半導体装置は、近年特に、製品化が進んでいる低電圧駆動で、低消費電力用途の半導体装置、例えば携帯機器(ページャー、PHS)等に搭載されるDSP(デジタル・シグナル・プロセッサ)、画像処理チップ等の半導体装置として利用されている。

【0002】

【従来の技術】 近年、半導体装置の微細化及び高速化の要求に伴い、トランジスタのゲート電極上及びソース・ドレイン電極上を自己整合的にシリサイド化するシリサイド技術が一般に用いられるようになってきている。ゲート電極、ソース電極及びドレイン電極に代表される多結晶又は単結晶シリコンが露出している表面は、シリサイド技術により全てシリサイド化されることになり、形成されたシリサイド層は、2～5Ω/sheet程度の低抵抗な層抵抗が得えられることから、デバイスの寄生抵抗低減には必須の技術となりつつある。

【0003】 しかし、容量素子や抵抗素子を有するようなアナログデバイスにシリサイド技術を応用する場合に、作製上の問題が発生する。すなわち、従来のアナログデバイスにおいて、特に抵抗素子を形成する場合、100Ω/sheet程度のn型又はp型の高濃度不純物拡散層領域を用いたり、1000Ω/sheet程度のn型又はp型のウェル領域を用いたり、又は2層ポリシリコンプロセスによる20～50Ω/sheetの多結晶シリコンを用いたりしていた。特に近年は、抵抗素子の微細化を図るために、比較的抵抗値が低い多結晶シリコンを用いる場合が多くなっている。このようなアナログプロセスにシリサイド技術を組み合わせると、抵抗素子用の多結晶シリコン上もシリサイド化されて、2～5Ω/sheet程度に低抵抗化されてしまう。そのため、必要な抵抗を得るには、抵抗素子の線幅をさらに細くする等の制御を行う必要が生じる。

【0004】 また、シリサイド層は熱的安定性の低さ等により、層抵抗のばらつきが大きいことに起因して、抵抗値の制御が困難になっている。このような理由により、シリサイド技術をアナログデバイスに応用する場合は、抵抗素子を構成する多結晶シリコンにはシリサイド化が起らないようにしなければならない。

【0005】 また、アナログデバイスに限らず、半導体装置の入出力回路部は、比較的大電流を流すために、静電気によるゲート酸化膜の破壊が問題となっている。その問題に対し、一般的にはソース・ドレイン電極を形成する高濃度の不純物拡散層領域のレイアウトを考慮し、入出力部のトランジスタのゲート電極端部のゲート酸化膜における電界の集中を極力低下するように努めている。その方法として、ソース・ドレインの高濃度の不純物拡散層領域の層抵抗が100Ω/sheet程度と比較的高抵抗であることを利用した電界集中の緩和によるものがある。

【0006】 しかし、そのような入出力回路部のデバ

スにサリサイド技術を組み合せると、ソース・ドレインの高濃度の不純物拡散層領域上もシリサイド化されて、2～5Ω/sheet程度に低抵抗化されてしまうため、電界緩和が十分に発揮できなくなってしまう。そのため、ゲート酸化膜の静電破壊に対する耐性が低下し、不良の原因となる。このような理由により、入出力回路部の特定領域の高濃度拡散層領域上もシリサイド化が起らなくなるようにしなければならない。

【0007】これらの問題に対する従来例として、シリサイド層形成工程を変更し、シリコン酸化膜を高融点金属膜上面に形成し、シリサイド層を形成しない箇所のシリコン酸化膜を除去した後、残存するシリコン酸化膜をマスクとして高融点金属膜を除去する方法を図1に示す(従来技術1)。

【0008】図1(a)において、単結晶シリコンより成る半導体基板101上に、シリコン酸化膜より成る素子分離領域102、ゲート酸化膜103、その上の多結晶シリコンより成るゲート電極104a、抵抗部のための多結晶シリコン104b、シリコン酸化膜より成るゲート側壁絶縁膜106、低濃度不純物拡散層領域105、及び高濃度不純物拡散層領域107が形成されている。低濃度不純物拡散層領域105及び高濃度不純物拡散層領域107は、トランジスタ部においてソース電極又はドレイン電極の役割を果たしている。半導体基板101全面上に、フッ酸系の溶液前処理を行った後、高融点金属であるチタン108をスパッタリング法により形成する。その上に、プラズマCVD法等により、シリコン酸化膜109を形成する。さらにその上に、レジスト110を、写真製版技術により、入出力部及び抵抗部上に開口するように形成する。

【0009】図1(b)において、レジスト110をエッチングマスクとして、ドライエッチング技術により入出力部及び抵抗部上のシリコン酸化膜109を、チタン層108とエッチング選択性を持たせて、エッチング除去する。その後、図1(c)において、レジスト110をプラズマ処理により除去した後、シリコン酸化膜109をエッチングマスクとして、アンモニア及び過酸化水素水を含んだ薬液により、入出力部及び抵抗部上のチタン膜108を除去する。なおこの時、上記薬液に対して、レジスト膜は一般的に急激にエッチングされてしまうため、マスクとしてシリコン酸化膜109が必要となっている。

【0010】次に、図1(d)において、シリコン酸化膜109をウェットエッチング又はドライエッチングによりエッチング除去する。次に、図1(e)において、通常の急速熱処理(Rapid Thermal Anneal, RTAと略記する)により650℃程度の熱処理を行い、チタンが残存している箇所のゲート電極104の多結晶シリコン表面及びソース・ドレイン電極105、107の単結晶シリコン表面をシリサイド化する。この時比較的高抵抗なシ

リサイド層111(30～50Ω/sheet)が形成される。

【0011】次に、図1(f)において、素子分離領域102上、ゲート側壁絶縁膜106上及びシリサイド層111上に残存する未反応なチタン膜108及び上記熱処理時に形成された窒化チタン膜を選択的にエッチング除去する。この時、エッチング液としてアンモニア及び過酸化水素水を含んだ薬液を用い、ウェットエッチング技術によりエッチングする。次に、図1(g)において、通常のRTA法により850℃程度の熱処理を行い、シリサイド層111を2～5Ω/sheet程度の低抵抗なシリサイド層112に相移転させる。

【0012】次に、抵抗部のシリサイド化を抑制した他の従来技術を紹介する(特開平7-202012号公報参照、従来技術2)。図2に示すように、抵抗部上の多結晶シリコン204b表面にシリコン酸化膜206を残存させ、サリサイド技術によるシリサイド化の時に、抵抗部のみシリサイド化を起らせないようにしている。その作成工程を紹介すると、まず図2(a)において、半導体基板201上に、シリコン酸化膜より成る素子分離領域202及びゲート酸化膜203、多結晶シリコンより成るゲート電極204a及び抵抗部204b、並びに低濃度不純物拡散層領域205が形成されている。次に、図2(b)において、単結晶シリコンより成る半導体基板201上に、シリコン酸化膜206を形成する。その後、抵抗部204b上にシリコン酸化膜206を残存させるために、すなわち抵抗部204bにシリサイド層を形成させないために、写真製版技術によりレジスト膜210を抵抗素子上に形成する。

【0013】その後、図2(c)において、ドライエッチング技術による異方性エッチングによりシリコン酸化膜206をエッチングし、ゲート電極204aの側壁にゲート側壁絶縁膜206aを形成すると同時に、抵抗部204b上にシリコン酸化膜206を残存させる。その後、レジスト膜210をプラズマエッチングにより除去し、高濃度不純物拡散層領域207をイオン注入法と熱処理により形成する。なお、低濃度不純物拡散層領域205及び高濃度不純物拡散層領域207は、トランジスタ部においてソース電極又はドレイン電極の役割を果たしている。その後、半導体基板201全面上に、フッ酸系の溶液前処理を行った後、高融点金属であるチタン208をスパッタリング法により形成する。

【0014】次に、図2(d)において、通常のRTA法により650℃程度の熱処理を行い、チタン208が残存している箇所のゲート電極204aの多結晶シリコン表面及びソース・ドレイン電極205、207の単結晶シリコン表面をシリサイド化する。この時、比較的高抵抗なシリサイド層211(30～50Ω/sheet)が形成される。次に、図2(e)において、素子分離領域202上、ゲート側壁絶縁膜206a上及びシリサイド層211上に残存する未反応なチタン膜208、並びに上記熱

処理時に形成された窒化チタン膜を選択的にエッチング除去する。この時、エッチング液としてアンモニア及び過酸化水素水を含んだ薬液を用い、ウェットエッチング技術によりエッチングする。次に、図2(f)において、通常のRTA法により850℃程度の熱処理を行い、シリサイド層211を、2～5Ω/sheet程度の低抵抗なシリサイド層212に相移転させる。

【0015】

【発明が解決しようとする課題】従来技術1においては、図1(d)において、半導体基板101上部に残存するシリコン酸化膜109を、ウェットエッチング又はドライエッチングによりエッチング除去している。この時、ウェットエッチングによりエッチングを行う場合は、チタン膜108、ゲート電極104aの多結晶シリコン膜やソース・ドレイン電極107を構成している単結晶シリコン膜の露出している箇所との選択性を保ちながらエッチングすることは可能であるが、露出しているゲート側壁絶縁膜106とのエッチング選択性は、同一材であることから不可能である。そのため、ゲート側壁絶縁膜106も等方的にエッチングし、ゲート酸化膜103の電気的信頼性を低下させ、かつデバイスの歩留まりを低下させる欠点を有している。

【0016】また、シリコン酸化膜109のエッチングをドライエッチングにより行う場合、ウェットエッチングの場合と同様、チタン膜108、ゲート電極104aの多結晶シリコン膜やソース・ドレイン電極107を構成している多結晶シリコン膜や単結晶シリコン膜の露出している箇所との選択性を保ちながらエッチングすることは可能であるが、イオン衝撃によるチタン膜108及びゲート電極104a等へのダメージが発生する。さらに、露出しているゲート側壁絶縁膜106とのエッチング選択性は、同一材であることから不可能であり、ゲート側壁絶縁膜106を異方性を有しながらではあるがエッチングしてしまう。以上の理由により、やはりゲート酸化膜103の電気的信頼性を低下させ、かつデバイスの歩留まりを低下させる欠点を有している。

【0017】次に、従来技術2においては、図2に記載のように、ゲート側壁絶縁膜206の形成時に、シリコン酸化膜206を抵抗部204b上に残存させて、抵抗部204bのシリサイド化が発生しないようにしている。しかし一方で、入出力部のトランジスタのソース・ドレイン領域にもシリサイド化が起り、静電的な破壊に対する耐性が低下し、デバイスの歩留まりを低下させる。もし、入出力部でのシリサイド化を抑えようとして、入出力部にもシリコン酸化膜206を残存させた場合、図2(c)に示す高濃度不純物拡散層領域207の形成のためのイオン注入時に、そのシリコン酸化膜が注入マスクとなり、高濃度不純物拡散層領域207の形成ができなくなる。そのため、入出力部の任意の箇所のシリサイド化を発生させたくない領域にシリコン酸化膜10

6を残せない。

【0018】そこで本発明は、これらの従来技術が有する問題を解決し、シリサイド化プロセスにおいて、半導体基板上の任意の箇所のシリサイド化の発生を抑制することを目的としている。

【0019】

【課題を解決するための手段】本発明は、以下の工程(A)から(H)を含んでシリサイド化を行い、ゲート電極上とソース電極及びドレイン電極上を高融点金属のシリサイド膜により自己整合的に低抵抗化したシリサイド構造を有するMOS型トランジスタを具備する半導体装置の製造方法である。

(A)半導体基板全面に高融点金属膜を形成する工程、
(B)高融点金属膜上に高融点金属窒化膜を形成する工程、(C)シリサイド化しない領域を除き、高融点金属窒化膜上にレジスト膜を形成する工程、(D)レジスト膜をマスクとしてシリサイド化しない領域の高融点金属窒化膜を除去する工程、(E)レジスト膜を除去した後、高融点金属窒化膜をマスクとしてシリサイド化しない領域の高融点金属膜を除去するエッチング工程、
(F)高融点金属膜が残存している箇所の半導体部材を熱処理によりシリサイド化する工程、(G)未反応な高融点金属膜及び高融点金属窒化膜を除去する工程、
(H)シリサイド化された高融点金属膜の層抵抗を熱処理により低減させる工程。

【0020】以下に、本発明の半導体装置の製造方法の構成を示す。図3は、本発明の半導体装置の製造方法の構成を表す工程断面図である。図3(a)において、半導体基板301上に、シリコン酸化膜より成る素子分離領域302、ゲート酸化膜303、その上の多結晶シリコンより成るゲート電極304a、抵抗部のための多結晶シリコン304b、シリコン酸化膜より成るゲート側壁絶縁膜306、低濃度不純物拡散層領域305及び高濃度不純物拡散層領域307が形成されている。低濃度不純物拡散層領域305及び高濃度不純物拡散層領域307は、トランジスタ部においてソース電極又はドレイン電極の役割を果たしている。半導体基板301全面上に、高融点金属308を形成した後、さらにその上に高融点金属窒化膜313を形成する。次に、写真製版技術により、入出力部や抵抗部を開口し、ロジック部を覆うようにレジスト310を形成する。

【0021】次に、図3(b)において、レジスト310をエッチングマスクとして、入出力部や抵抗部の高融点金属窒化膜313を下層の高融点金属膜308とエッチング選択性を持たせて、エッチング除去する。図3(c)において、レジスト310をエッチングにより除去する。図3(d)において、高融点金属窒化膜313をエッチングマスクとして、入出力部や抵抗部の高融点金属膜を除去する。

【0022】図3(e)において、熱処理を行い、高融点

金属膜308と高融点金属窒化膜313が積層されて残存している箇所の、ゲート電極304a上面及びソース・ドレイン電極307表面をシリサイド化し、比較的高抵抗なシリサイド層311を形成する。図3(f)において、素子分離領域302上、ゲート側壁絶縁膜306上、及びシリサイド層上に残存する未反応な高融点金属308及び高融点金属窒化膜313を、シリサイド層及びシリコン酸化膜等に対して選択的に、エッチングする。図3(g)において、熱処理を行い、シリサイド層311を低抵抗なシリサイド層312に相移転させる。その後、通常のMOS半導体装置の製造方法と同様に、層間絶縁膜、金属配線との接続孔、何層かの金属配線、及び保護膜を形成し、半導体装置を完成させる。

【0023】以上が、本発明の半導体装置の製造方法の構成である。このようにして、トランジスタのゲート酸化膜の信頼性及び歩留まりを低下させることなく、抵抗部のシリサイド化を抑制し、抵抗素子を歩留まり良くかつ均一に形成し、アナログデバイスのプロセスに対してシリサイド技術の整合性を確保し、かつ入出力部のシリサイド化を抑制し、入出力部のソース・ドレイン電極をシリサイド化せずにゲート電極端部のゲート酸化膜への電界集中を緩和し、ゲート酸化膜の静電的な破壊耐性を向上させ、デバイスの信頼性及び歩留まりを向上させることができる。

【0024】

【発明の実施の形態】高融点金属膜及びその窒化膜としてチタン膜及びチタン膜の窒化膜を用いることが好ましい。このように、高融点金属膜及びその高融点金属の窒化膜を用いるようにすれば、同一装置における連続処理により形成することでき、好ましい。その結果、スループットが向上し、かつ工程間で半導体基板が大気に晒されることがないので歩留まりが向上する。高融点金属窒化膜の膜厚を30～70nmとすることが好ましい。その結果、高融点金属窒化膜をエッチングマスクとして高融点金属膜をエッチングする際の、高融点金属窒化膜の膜減りに伴う高融点金属膜へのダメージを抑制し、かつシリサイド層形成後の未反応な高融点金属膜及び高融点金属窒化膜のエッチング除去時に、エッチング時間が最適となり、シリサイド層が長時間薬液に晒されることによるシリサイド層へのダメージを防止し、シリサイド層の低抵抗化を図ることができる。

【0025】レジスト膜をマスクとして抵抗素子領域、容量素子領域又は入出力用素子領域の高融点金属窒化膜を除去する工程を、少なくともフッ素、炭素及び酸素を含むガス系を用いるプラズマ処理により行うことが好ましい。その結果、高融点金属膜とその窒化膜とのエッチング選択性を確保できる。レジスト膜を除去する工程を、フッ素を含まず、酸素を含むガス系を用いるプラズマ処理により行うことが好ましい。その結果、下層の高融点金属窒化膜がエッチングされることがないので、高

融点金属窒化膜をエッチングマスクとして半導体基板上の任意の箇所の高融点金属膜をエッチングすることが可能になる。レジスト膜をマスクとして半導体基板上一部の箇所の高融点金属窒化膜を除去する工程とレジスト膜を除去する工程を、同一装置における連続プラズマ処理により行うことが好ましい。その結果、スループットが向上し、かつ工程間で半導体基板が大気に晒されることがないので歩留まりが向上する。

【0026】高融点金属窒化膜をマスクとして抵抗素子領域、容量素子領域又は入出力用素子領域の高融点金属膜を除去する工程を、アンモニア及び過酸化水素を含む薬液によるウェット処理により行うことが好ましい。その結果、高いエッチング選択性でエッチングが可能なので、高融点金属窒化膜の下層の高融点金属膜に対するエッチングダメージが発生せず、後工程のシリサイド層の形成を促進する。又、高融点金属膜をエッチング後の下層半導体基板及びシリコン酸化膜へのエッチングダメージが生じないので、その領域におけるトランジスタ及びゲート電極端部のゲート酸化膜に対する電気的信頼性の低下を防止できる。

【0027】半導体基板全面に高融点金属膜を形成する工程の前に、半導体基板全面に砒素、アルゴン又はシリコンをイオン注入法によりイオン注入し、ゲート電極及びソース・ドレイン電極を構成する多結晶シリコン及び単結晶シリコンを非晶質化する工程を含むことが好ましい。その結果、シリサイド化される領域の表面近傍が非晶質化しているので、シリサイド層の形成が促進され、特に1.0μm以下の細線のゲート電極等で抵抗の上昇が抑制され、均一性が向上する。

【0028】高融点金属膜が残存している箇所を熱処理によりシリサイド化する工程を、400℃～550℃の比較的低温なRTA処理を行い、引き続き600℃～750℃の比較的高温なRTA処理を行う2段階の連続熱処理により行うことが好ましい。その結果、シリサイド化が始まる初期に微細な非晶質なシリサイド層が形成されてC49相のシリサイド層の形成が促進され、特に1.0μm以下の細線のゲート電極等で抵抗の上昇が抑制され、かつ均一性が向上する。

【0029】レジスト膜をマスクとして高融点金属窒化膜を除去する工程をプラズマ処理により行い、そのプラズマ処理に用いるガスとして、少なくともフッ素、炭素及び酸素を含むガス系を用い、好ましくは少なくとも炭素とフッ素を含むガスと酸素ガスの混合ガスを用い、さらに好ましくはCF₄又はCHF₃と、酸素の混合ガスを用い、さらに好ましくは酸素ガスに対するフッ素系ガスの体積率を0.05～0.2とすることが好ましく、さらに好ましくはプラズマ処理時の処理圧力を50Pa以上とすることが好ましい。その結果、下層高融点金属膜がエッチングされトランジスタを構成するゲート酸化膜等へのエッチングダメージの発生を防止できる。

【0030】高融点金属膜上に形成される高融点金属窒化膜の組成において、高融点金属に対する窒素の体積含有率が0.4~0.6であることが好ましい。その結果、レジストをエッチングマスクとして高融点金属窒化膜をエッチングする際の高融点金属窒化膜のエッチング速度を高くし、さらに、高融点金属窒化膜をエッチングマスクとして高融点金属膜をエッチングする際の高融点金属窒化膜のエッチング速度を低くすることにより、両工程でのエッチング選択性を確保でき、トランジスタへのダメージの発生を抑制でき、かつシリサイド化を促進できる。

【0031】

【実施例】次に、実施例を記載する。実施例1として、高融点金属膜としてチタン膜を用い、高融点金属窒化膜として窒化チタン膜を用いた場合を記載する。構成は図3の構成と同様なので、図3を用いて説明する。図3(a)において、単結晶シリコンから成る半導体基板301上に、n型トランジスタ及びp型トランジスタを形成するためのウェルを形成し、LOCOS法により素子分離領域302であるシリコン酸化膜を形成する。その後、トランジスタの閾値電圧を決定するためのイオン注入を行った後、ゲート酸化膜303であるシリコン酸化膜を熱酸化により9nmの膜厚で形成する。

【0032】次に、常圧CVD法により燐を含んだ多結晶シリコン膜を200nmの膜厚で成膜し、写真製版技術及びドライエッチング技術を用いて、ゲート電極304aに加工する。また、同時に、素子分離領域302上の任意の箇所、抵抗部304b形成のために多結晶シリコン膜を加工残存させる。この時、抵抗部304bを形成する多結晶シリコン膜の層抵抗は最終的に20~50Ω/sheetの任意の抵抗になるように、燐の不純物濃度が制御されている。なお、実施例1においては、抵抗部304bをゲート電極304a形成時に同時に形成しているが、容量形成のための2層プロセスを行う場合には、別工程で形成することも可能である。

【0033】次に、ゲート電極304a及び素子分離領域302を注入マスクとして、半導体基板301のn型トランジスタ領域に砒素を、p型トランジスタ領域に硼素をそれぞれイオン注入し、低濃度不純物拡散層領域305を形成する。その後、800℃程度の熱CVD法によりシリコン酸化膜を半導体基板全面に堆積させ、ドライエッチング技術によるエッチバックにより、ゲート側壁絶縁膜306を形成する。次に、半導体基板301のn型トランジスタ領域に砒素を、p型トランジスタ領域に二弗化硼素を、それぞれイオン注入し、高濃度不純物拡散層領域307を形成する。その後熱処理を行って、注入された不純物の活性化を行う。

【0034】次に、半導体基板301全面上にフッ酸系の溶液前処理を行った後、チタン膜308及びその上に窒化チタン膜313をマグネトロンスパッタリング法に

よる同一装置で、それぞれ30nm及び50nmの膜厚で連続的に形成する。この時、窒化チタン膜の窒素の体積含有率は、およそ0.5である。次に、窒化チタン膜313上に、レジスト膜310を、スピンコート方式及び写真製版技術により、入出力部や抵抗部のシリサイド層を形成しない箇所を開口し、シリサイド層を形成するロジック部を覆うように形成する。

【0035】次に、図3(b)において、レジスト310をエッチングマスクとして、入出力部や抵抗部の窒化チタン膜313を下層のチタン膜308とエッチング選択性を持たせて、エッチングする。この時のエッチングは、CF₄及びO₂の2元系ガスのプラズマ処理により行われ、チタン膜308のエッチング速度は窒化チタン膜313のエッチング速度に比べ大幅に低いので、エッチング選択性が確保されている。

【0036】その後、図3(c)において、レジスト310を、酸素ガスのみによるプラズマ処理(ドライエッチングと同義)により除去する。このガスを用いることにより、窒化チタン膜313がエッチングされない。なお、窒化チタン膜313のエッチングとレジスト310の除去は、同一装置における連続プラズマ処理により行った。次に、図3(d)において、窒化チタン膜313をエッチングマスクとして、入出力部や抵抗部のチタン膜308をウェットエッチングにより除去する。この時、アンモニア及び過酸化水素を含む薬液を用いることにより、窒化チタン膜313のエッチング速度は、チタン膜308のエッチング速度に比べ、およそ20分の1程度となるので、窒化チタン膜313がエッチングマスクとして有効に寄与する。

【0037】次に、図3(e)において、RTA法により700℃の急速熱処理を行い、チタン膜308と窒化チタン膜313が積層されて残存している箇所の、ゲート電極304a上層の多結晶シリコン及びソース・ドレイン電極307上層の単結晶シリコンをシリサイド化し、比較的高抵抗なTiSi₂層のC49相より成るチタンシリサイド層311を形成する。次に、図3(f)において、素子分離領域302上、ゲート側壁絶縁膜306上及びチタンシリサイド層311上に残存する未反応なチタン膜308、並びに窒化チタン膜313を、チタンシリサイド層311、素子分離領域302、ゲート側壁絶縁膜306及び半導体基板301に対して、選択的にエッチングする。この時、エッチング液としてアンモニア及び過酸化水素を含んだ薬液を用いたウェット処理により除去するが、上述したようにチタン膜と窒化チタン膜の該薬液に対するエッチング速度に違いがあるので、エッチング時間をエッチング速度の遅い窒化チタン膜に合わせる必要がある。しかし、窒化チタン膜313とチタンシリサイド層311とのエッチング選択性がそれ以上に大幅に大きいので、チタンシリサイド層311及びトランジスタ領域へのダメージはない。

【0038】次に、図3(g)において、RTA法により850℃の急速熱処理を行い、TiSi₂C49相より成るチタンシリサイド層311を、およそ5Ω/sheetの低抵抗なチタンシリサイド層TiSi₂C54相312に相転移させる。その後、通常のMOS型半導体装置の製造方法と同様に、層間絶縁膜、金属配線との接続孔、及び金属配線を形成し、半導体装置を完成させる。

【0039】上記実施例1により、半導体基板上の任意の箇所にシリサイド層を形成しない領域を形成でき、かつシリサイド層非形成領域のトランジスタ領域の電気的信頼性の低下を防止できる。さらに、入出力部領域をシリサイド化しないことにより、半導体装置の静電破壊に*

*よる不良の発生を抑制できる。さらに、抵抗部の抵抗となる多結晶シリコン上をシリサイド化しないことにより、層抵抗値がおおよそ40Ω/sheet程度でかつ均一性が良好な抵抗部を供給できる。

【0040】表1に、実施例1によるゲート酸化膜の破壊耐圧の歩留まりを、上述の従来技術2及びシリサイド技術を用いない場合と比較して、評価した結果を示す。評価は、10000μm²の面積のゲート酸化膜耐圧評価素子において、規定耐圧を満たす素子に対して悪化している耐圧を示す素子の割合で示した。

【0041】

【表1】

	ゲート酸化膜耐圧歩留まり
従来技術2	85%
シリサイド技術非実施	97%
実施例1	98%

【0042】表1より、従来技術2においては、シリサイド非形成領域を形成するためのシリコン酸化膜を除去する工程のダメージにより、歩留まりが低下していると考えられるが、実施例1においては、シリサイド技術を用いない場合と同様に、高い歩留まりを示しており、ゲート酸化膜へのダメージが発生しないことを示している。

※

※【0043】表2に、入出力部に設置されている静電破壊評価用素子の破壊に対する良品の歩留まりを、入出力部のゲート電極及びソース・ドレイン電極を全てシリサイド化した場合と、実施例1とを比較して示す。

【0044】

【表2】

	静電破壊耐圧歩留まり
入出力部シリサイド化	60%
実施例1	95%

【0045】表2において、入出力部のソース・ドレイン電極がシリサイド化されない実施例1においては、ソース・ドレイン電極を形成する拡散層領域のシリサイド化による低抵抗化が起らず、およそ100Ω/sheet程度の比較的高抵抗のままなので、ゲート電極端部のゲート酸化膜への電界集中が緩和され、静電破壊に対する良品の歩留まりが向上している。それに対し、入出力部のゲート電極及びソース・ドレイン電極を全てシリサイド化

する場合は、拡散層領域が5Ω/sheetと低抵抗化されるため、ゲート電極端部のゲート酸化膜への電界集中が高まり、歩留まりを大幅に低下させている。

【0046】表3に、抵抗部を全てシリサイド化した場合と実施例1を比較して、抵抗部の抵抗値とそのばらつきを示す。

【0047】

【表3】

	抵抗値	均一性
抵抗部シリサイド化	5.0Ω/sheet	±8.7%
実施例1	40.0Ω/sheet	±1.9%

【0048】表3において、抵抗部を全てシリサイド化した場合、抵抗用多結晶シリコン上もシリサイド化され、層抵抗値が5Ω/sheetと低下し、ばらつきが大きくなった。これは、シリサイド化が不均一に起っているためであると考えられる。それに対し、実施例1においては、抵抗部がシリサイド化されていないため、層抵抗値が40Ω/sheetとなり、ばらつきが2%以下と低い値だった。

【0049】実施例1において、図3(e)に示されるシリサイド化される領域においては、チタン膜308と窒化チタン膜313が積層された状態で、チタンシリサイド層311の形成のためのRTA処理が行われる。それにより、特に1.0μm以下の細線のゲート電極等で抵抗の上昇が抑制される。図4に、ゲート電極の線幅に対するシリサイド層の層抵抗を、窒化チタン膜313が無い場合と実施例1とを比較して示す。点線で示した結果は窒化チタン膜313が無い場合で、実線で示した結果が実施例1の場合である。層抵抗は半導体装置が最終的にすべての工程を経て完成した時の値である。

【0050】図4に示したように、実施例1による半導体装置は、窒化チタン膜が無い場合に比べ、細線での抵抗上昇が抑制されていることが分かる。細線において層抵抗が上昇する理由は、形成されるチタンシリサイド層311の不均一性と耐熱性の低さによるものであるが、実施例1の場合は、チタン膜308上に窒化チタン膜313が積層されているので、図3(e)のシリサイド化時に、より均一にチタンシリサイド層311が形成され、それにより層抵抗の上昇を抑制している。

【0051】次に、実施例2として、細線におけるシリサイド層の層抵抗の上昇をさらに抑制した方法を図3を用いて説明する。実施例2の半導体装置の製造方法は、実施例1とほぼ同様なので、特徴となる工程のみ、以下に記載する。図3(a)において、チタン膜308をマグネトロンスパッタ法により堆積させる前工程として、半導体基板301上の全面に、砒素を $5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で注入し、シリサイド化される領域の表面近傍を非晶質化した。それにより、図3(e)におけるチタンシリサイド層311のC49相の形成が促進され、均一性が向上した。

【0052】図5に、ゲート電極の線幅に対するチタンシリサイド層の層抵抗を、上記砒素注入が無い場合(実施例1)と実施例2とを比較して示す。点線で示した結果は砒素注入が無い場合で、実線で示した結果が実施例

2の場合である。層抵抗は半導体装置が最終的にすべての工程を経て完成した時の値である。図5に示したように、砒素注入が無い場合に比べ、細線での抵抗上昇が抑制されていることが分かる。これは、実施例2の場合、チタン膜308上に窒化チタン膜313が積層されており、かつシリサイド化を行う表面が非晶質化しているため、図3(e)におけるチタン膜308のシリサイド化時に、より均一にチタンシリサイド層311が形成され、かつシリサイド化自体が促進されたためであり、それにより層抵抗の上昇が抑制されたと考えられる。このようなことから、チタン膜308を堆積させる前工程として、半導体基板301上の全面に、イオンを注入し、シリサイド化される領域の表面近傍を非晶質化することが好ましい。

【0053】次に、実施例3として、細線におけるチタンシリサイド層の層抵抗の上昇をさらに抑制した他の方法を図3を用いて説明する。実施例3の半導体装置の製造方法も、実施例1とほぼ同様なので、特徴となる工程のみ、以下に記載する。図3(a)において、実施例2と同様に、砒素を $5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で注入し、シリサイド化される領域の表面近傍を非晶質化した。そして、図3(e)において、積層された窒化チタン膜及びチタン膜をRTA法により熱処理し、チタンシリサイド層311のC49相の形成を行う場合に、このRTA処理を、500℃、60秒のRTA処理を行った後に、700℃、30秒のRTA処理を連続で行った。500℃、60秒の比較的低温なRTA処理を追加したことにより、チタンシリサイド層311のC49相の形成が促進され、かつ均一性が向上した。

【0054】図6に、ゲート電極の線幅に対するチタンシリサイド層の層抵抗を、上記500℃、60秒のRTA処理が無い場合(実施例2)と実施例3とを比較して示す。点線で示した結果はその500℃、60秒のRTA処理が無い場合で、実線で示した結果が実施例3の場合である。層抵抗は半導体装置が最終的にすべての工程を経て完成した時の値である。

【0055】図6に示したように、500℃、60秒のRTA処理が無い場合に比べ、細線での抵抗上昇が抑制されていることが分かる。これは、実施例3の場合は、チタン膜308上に窒化チタン膜313が積層されており、かつシリサイド化を行う表面が非晶質化しているため、700℃、30秒のシリサイド化のRTA処理の前に、比較的低温な500℃、60秒のRTA処理を追加

していることにより、シリサイド化が始まる初期に微細な非晶質なチタンシリサイド層311が形成され、それにより700℃、30秒のRTA処理によるシリサイド化の時に、均一にチタンシリサイド層311が形成され、かつシリサイド化自体が促進されたためであり、それにより層抵抗の上昇が抑制されたと考えられる。このようなことから、チタンシリサイド層311のC49相の形成を行う場合に、RTA処理を、500℃程度での低温度のRTA処理を行った後に700℃程度のRTA処理を連続で行うことが好ましい。

【0056】次に、実施例4として、図3(b)において、レジスト310をエッチングマスクとして、入出力部や抵抗部の窒化チタン膜313をエッチングする場合のドライエッチングの処理ガス種と処理圧力を規定し、下層のチタン膜308とのエッチング選択性を良好とす*

	O ₂ に対するCF ₄ の体積率						
	0	0.05	0.10	0.15	0.20	0.25	0.30
エッチング選択性	不良	良	良	良	良	不良	不良

【0059】表4において、O₂に対するCF₄のガス体積率が0.05～0.20の場合、チタン膜308に対する窒化チタン膜313のエッチング選択性が良好である結果が得られている。ガス体積率が0.05より小さい場合、窒化チタン膜313のエッチング速度が急激に低下し、チタン膜308同様エッチングが進行しなくなり、選択性が低下する。一方、ガス体積率が0.2より大きい場合、チタン膜308のエッチング速度が上昇し、窒化チタン膜313同様にエッチングされてしまい、選択性が低下する。このようなことから、窒化チタ*

＊ることにより、下層チタン膜がエッチングされトランジスタを構成するゲート酸化膜等へのエッチングダメージが発生することを防止した方法を図3を用いて説明する。実施例4の半導体装置の製造方法も、実施例1とほぼ同様なので、特徴となる工程のみ、以下に記載する。

【0057】図3(b)において、上記窒化チタン膜313をエッチングする場合に、ドライエッチングにより行い、エッチングガスとして四弗化炭素(CF₄)と酸素(O₂)を用いた。この時の、酸素に対する四弗化炭素の体積率を0～0.3と変えた場合のチタン膜308に対する窒化チタン膜313のエッチング選択性を調べた結果を表4に示す。

【0058】

【表4】

※ン膜313をエッチングする場合のドライエッチングの処理ガス種として、O₂に対するCF₄のガス体積率が0.05～0.20であるものを用いることが好ましい。【0060】実施例4における処理圧力を20～300Paと変えた場合のチタン膜308に対する窒化チタン膜313のエッチング選択性を調べた結果を表5に示す。

30 【0061】

【表5】

	処理圧力(Pa)						
	20	50	100	150	200	250	300
エッチング選択性	不良	良	良	良	良	良	良

【0062】表5において、処理圧力が50Pa以上の範囲において、チタン膜308に対する窒化チタン膜313のエッチング選択性が良好である結果が得られている。処理圧力が50Paより小さい場合、イオン衝撃によりチタン膜のエッチング速度が急激に上昇してエッチングされてしまい、選択性が低下する。このようなことから、窒化チタン膜313をエッチングする場合のドライエッチングの処理圧力は、50Pa以上であることが好ましい。

【0063】次に、実施例5として、チタン膜308上に形成される窒化チタン膜313の組成を規定すること

40 により、図3(b)に記載の、レジスト310をエッチングマスクとして入出力部や抵抗部の窒化チタン膜313をエッチングする場合の、窒化チタン膜313のエッチング速度を高くし、さらに図3(d)に記載の、窒化チタン膜313をエッチングマスクとして入出力部や抵抗部のチタン膜308をエッチングする場合の、窒化チタン膜313のエッチング速度を低くした方法を図3を用いて説明する。それにより、それぞれの工程でのエッチング選択性を確保し、トランジスタへのダメージの発生を抑制し、かつシリサイド化を促進させる。実施例5の半導体装置の製造方法も、実施例1とほぼ同様なので、特

徴となる工程のみ、以下に記載する。

【0064】図3(a)において、マグネトロンスパッタリング法により堆積した窒化チタン膜313の組成として、チタン膜308に対する窒素の体積含有率を0～0.1及び0.4～0.6と変えた。その場合の、図3(b)に記載の、レジスト310をエッチングマスクとし*

*て入出力部や抵抗部の窒化チタン膜313をエッチングする場合の、下層チタン膜308に対する窒化チタン膜313のエッチング選択性を表6に示す。

【0065】

【表6】

	工程(b)におけるチタンに対する窒素の体積含有率	
	0～0.1	0.4～0.6
エッチング選択性	不良	良

【0066】また、図3(d)に記載の、窒化チタン膜313をエッチングマスクとして入出力部や抵抗部のチ

タン膜308をエッチングする場合の、窒化チタン膜313に対するチタン膜308のエッチング選択性を表7に*

※示す。

【0067】

【表7】

	工程(d)におけるチタンに対する窒素の体積含有率	
	0～0.1	0.4～0.6
エッチング選択性	不良	良

【0068】マグネトロンスパッタリング等の方法により窒化チタン膜313を形成した場合、チタンに対する窒素の体積含有率は、処理時のスパッタリングガス中に含まれる窒素ガスの割合により決まり、一般的には0～0.1の含有率を示す場合と、0.4～0.6の含有率を示す場合に分けられる。表6及び表7において、チタンに対する窒素の体積含有率を0.4～0.6とした場合にそれぞれのエッチング選択性は良好な結果が得られるが、体積含有率が0～0.1と窒素含有率が低下している場合は、エッチング選択性はともに不良となっている。これは、形成された窒化チタン膜313のエッチング特性が含有率が0～0.1の場合では、比較的チタン膜308に近いものになるためである。このようなことから、窒化チタン膜313のチタンに対する窒素の体積含有率を0.4～0.6とすることが好ましい。

★

★【0069】次に、実施例6として、窒化チタン膜313の膜厚を規定することにより、図3(d)に記載の、窒化チタン膜313をエッチングマスクとして入出力部や抵抗部のチタン膜308をエッチングする場合の、窒化チタン膜313の膜減りに伴う下層チタン膜308へのダメージを発生させない方法を図3を用いて説明する。窒化チタン膜313が開口している領域のみチタン膜308をエッチングする。実施例6の半導体装置の製造方法も、実施例1とほぼ同様なので、特徴となる工程のみ、以下に記載する。図3(a)において、マグネトロンスパッタリング法により堆積した窒化チタン膜313の膜厚を10～100nmと変えた。その場合の、チタンシリサイド層の層抵抗を評価した結果を表8に示す。

【0070】

【表8】

	窒化チタン膜厚(nm)				
	10	30	50	70	100
層抵抗(Ω /sheet)	10	5	5	5	8

【0071】表8において、窒化チタン膜313の膜厚を30～70nmとすることにより、適切にエッチングマスクの役割を果たし、チタンシリサイド層311の層抵抗はチタン膜308の膜厚30nmに対応した5 Ω /s

50

heetが得られるのに対し、窒化チタン膜313の膜厚が薄い場合は、エッチング時に窒化チタン膜313が幾分エッチングされ、それによりチタン膜308がダメージを受け、チタンシリサイド層311の層抵抗が10 Ω /s

heetと高くなる。また、窒化チタン膜313の膜厚が100nmと厚い場合は、図3(f)に記載の未反応チタン膜308及び窒化チタン膜313のエッチング除去時に、エッチング時間が長くなり、チタンシリサイド層311が薬液に晒される時間が増大することにより、わずかにチタンシリサイド層311にダメージが発生し、チタンシリサイド層311の層抵抗が8Ω/sheetと高くなる。このようなことから、窒化チタン膜313の膜厚を30~70nmとすることが好ましい。

【0072】

【発明の効果】本発明では、シリサイド工程によるシリサイド化の際、半導体基板全面に高融点金属膜を形成し、その上に高融点金属窒化膜を形成し、さらにその上に、シリサイド化しない領域を除いてレジスト膜を形成し、そのレジスト膜をマスクとして、シリサイド化しない領域の高融点金属窒化膜を除去し、その後、高融点金属窒化膜をマスクとしてシリサイド化しない領域の高融点金属膜を除去し、高融点金属膜が残存している箇所の半導体部材を熱処理によりシリサイド化し、未反応な高融点金属膜及び高融点金属窒化膜を除去し、シリサイド化された高融点金属膜の層抵抗を熱処理により低減させるようにしたので、半導体基板上の任意の箇所のシリサイド化の発生を完全に抑制することができ、例えば入出力部や抵抗部のシリサイド化が起らないようにできる。その結果、半導体装置の静電破壊による不良発生を抑制することができる。さらに、抵抗部の抵抗となりうる多結晶シリコン上をシリサイド化しないことにより、層抵抗値が20~50Ω/sheet程度でかつ均一性が良好な抵抗部を供給できる。さらに、高融点金属膜を除去する工程における半導体基板、シリコン酸化膜及び多結晶シリコン膜とのエッチング選択性が良好なことから、トランジスタ部や入出力部のゲート酸化膜に対しての電気的信頼性の低下を防止できる。さらに、シリサイド化される領域においては、高融点金属膜と高融点金属膜の窒化膜が積層された状態で、シリサイド層を形成するためのRTA処理を行うので、より均一にシリサイド層を形成でき、特に1.0μm以下の細線のゲート電極等で抵抗の上昇を抑制できる。このように、本発明は、トランジスタのゲート酸化膜の信頼性及び歩留まりを低下させるこ

となく、抵抗部のシリサイド化を完全に抑制し、抵抗素子を歩留まり良くかつ均一に形成し、アナログデバイスのプロセスに対してシリサイド技術の整合性を確保し、かつ入出力部のシリサイド化を完全に抑制し、入出力部のソース・ドレイン電極をシリサイド化せずにゲート電極端部のゲート酸化膜への電界集中を緩和し、ゲート酸化膜の静電的な破壊耐性を向上させ、デバイスの信頼性及び歩留まりを向上させることができる。

【図面の簡単な説明】

10 【図1】 従来例を表す工程断面図である。

【図2】 他の従来例を表す工程断面図である。

【図3】 一実施例を表す工程断面図である。

【図4】 窒化チタン膜が有る場合と無い場合とを比較して示す、ゲート電極の線幅に対するシリサイド層の層抵抗を示した図である。

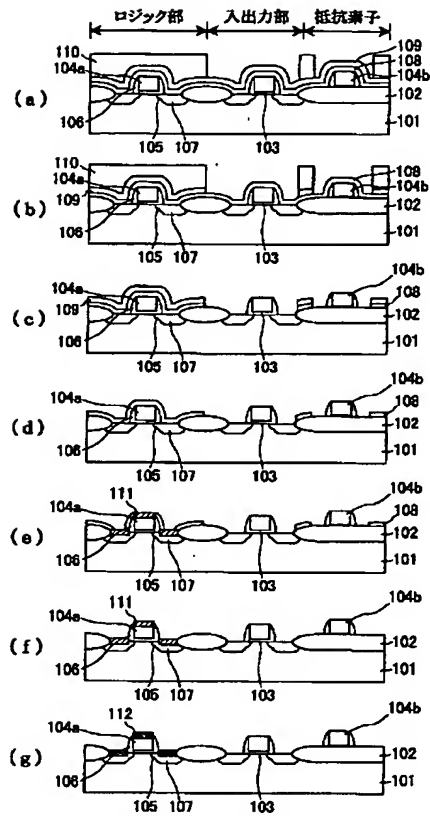
【図5】 シリサイド化領域への砒素注入が有る場合と無い場合とを比較して示す、ゲート電極の線幅に対するチタンシリサイド層の層抵抗を示した図である。

20 【図6】 シリサイド化工程におけるRTA処理を、500℃、60秒のRTA処理と700℃、30秒のRTA処理により行なった場合と、700℃、30秒のRTA処理のみにより行なった場合とを比較して示す、ゲート電極の線幅に対するチタンシリサイド層の層抵抗を示した図である。

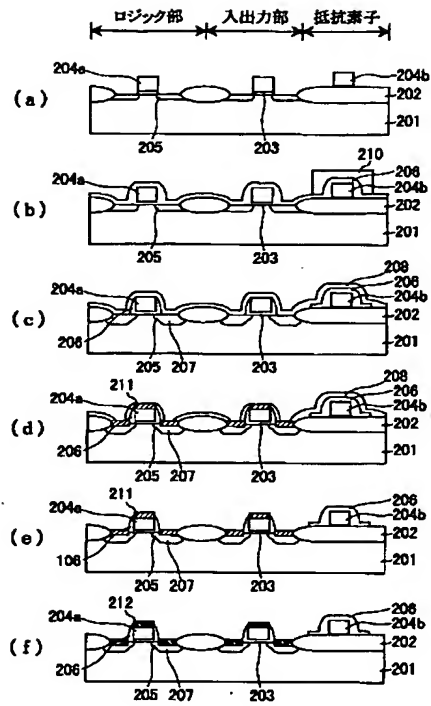
【符号の説明】

- | | |
|----------|---------------|
| 301 | 半導体基板 |
| 302 | 素子分離領域 |
| 303 | ゲート酸化膜 |
| 304 a | ゲート電極 |
| 30 304 b | 抵抗部 |
| 305 | 低濃度不純物拡散層領域 |
| 306 | ゲート側壁絶縁膜 |
| 307 | 高濃度不純物拡散層領域 |
| 308 | チタン膜 |
| 310 | レジスト |
| 311 | チタンシリサイド層 |
| 312 | 低抵抗なチタンシリサイド層 |
| 313 | 窒化チタン膜 |

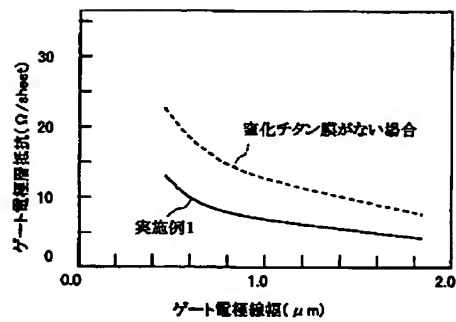
【図1】



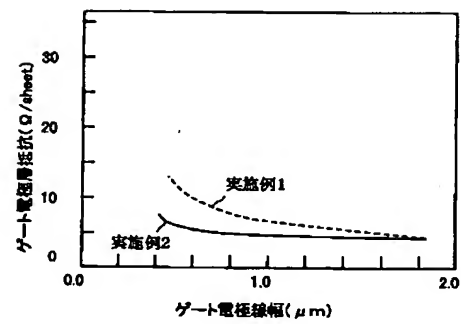
【図2】



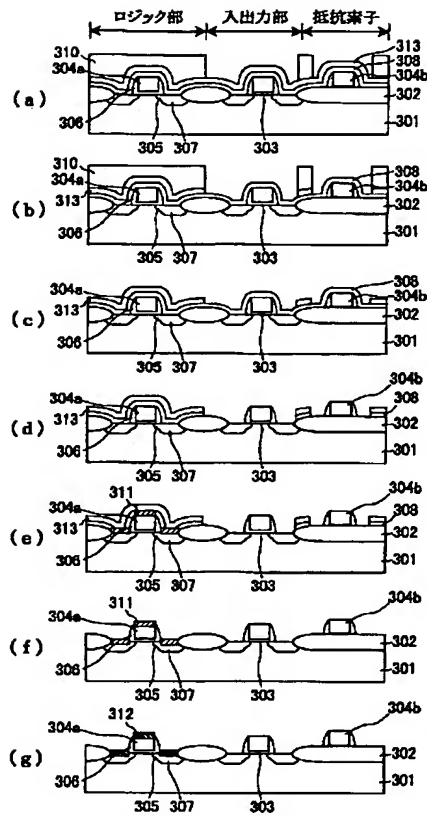
【図4】



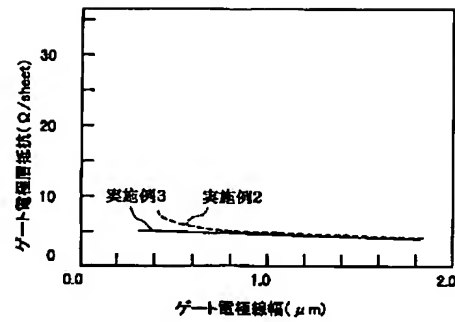
【図5】



【図3】



【図6】



フロントページの続き

F ターム(参考) 4M104 AA01 BB01 BB25 CC01 CC05
 DD04 DD37 DD64 DD65 DD80
 DD84 DD88 DD89 FF14 GG10
 HH15 HH16 HH18
 5F040 DA00 DA10 DA23 DB03 DB10
 DC01 EC01 EC04 EC07 EC13
 EF02 EF11 EH02 EK01 FA03
 FA05 FA19 FB02 FB04 FC00
 FC19 FC22